

Banque d'épreuves BTS-DUT 1999

EPREUVE D'INFORMATIQUE

L'épreuve se compose de 20 questions regroupées suivant les thèmes : structure des machines de traitement de l'information, algorithmique et programmation, systèmes d'exploitation, réseaux et transmissions, graphes et logique.

STRUCTURES des MACHINES

Question 1

L'unité de commande gère le déroulement d'un programme. Elle est constituée de différents composants internes.

- (A) Le registre instruction contient l'instruction qui va être traitée par l'unité de commande.
- (B) Le séquenceur consulte le registre d'état pour connaître l'état de l'unité arithmétique et logique.
- (C) Le séquenceur envoie une séquence de microcommandes vers les composants impliqués par l'instruction.
- (D) Le compteur ordinal pointe sur l'adresse de la prochaine instruction à décoder et à exécuter.
- (E) Le compteur ordinal est incrémenté dès qu'une instruction va être exécutée.

Question 2

(A) L'unité centrale de traitement est composée de l'unité arithmétique et logique et de l'unité de commande.

(B) L'unité arithmétique et logique est la zone du processeur central où les opérations arithmétiques et logiques sont réalisées.

(C) Le registre d'état est un composant interne de l'unité de commande.

(D) L'unité centrale ne contient pas le registre d'état.

(E) Par programme, on peut modifier le registre instruction de l'unité centrale.

Question 3

Interruptions

(A) L'unité centrale peut rejeter une demande d'interruption.

(B) On ne peut pas interrompre un programme en cours d'exécution sur le processeur.

(C) Toutes les interruptions peuvent être masquées (interdites).

(D) Toutes les interruptions ont la même priorité.

(E) Après une interruption acceptée par l'unité centrale, le programme interrompu ne peut pas poursuivre son exécution.

Les mémoires

Question 4

(A) Une mémoire volatile perd son contenu lorsque l'alimentation électrique est coupée.

(B) Une mémoire dynamique est une mémoire volatile.

(C) Une mémoire statique n'est pas une mémoire volatile.

(D) Une mémoire dynamique peut perdre son contenu si elle n'est pas rafraîchie.

(E) Une mémoire statique n'a pas besoin de rafraîchissement.

Question 5

(A) Les mémoires vives sont des mémoires dont le contenu peut être lu ou modifié.

(B) Les mémoires vives ne peuvent pas servir de mémoire cache.

(C) Les mémoires mortes sont des mémoires qui ne peuvent être que lues (lors de leur utilisation).

(D) La taille du mot mémoire se détermine en observant le nombre de broches permettant les entrées ou les sorties de données.

(E) L'information stockée dans les mémoires ROM est enregistrée de façon définitive.

Question 6

(A) Les bandes magnétiques permettent un accès direct à l'information recherchée.

(B) Le disque magnétique permet un accès séquentiel à l'information recherchée.

(C) Le formatage d'un disque magnétique est indépendant du système d'exploitation utilisé.

- (D) Le temps d'accès pour un disque magnétique est le temps que met la tête de lecture pour se positionner sur le premier cylindre du disque.
 (E) Le temps d'accès pour un disque magnétique est le temps que met la tête de lecture pour se positionner sur le cylindre désiré.

Question 7

Soit un nombre entier signé x en représentation complément à 2, stocké sur un octet.

- (A) Si le bit de signe est zéro, x est positif.
 (B) Si le bit de signe est un, x est positif.
 (C) La valeur zéro est considérée comme une donnée positive.
 (D) Le complément à 2 de 0010111 est 1101001.
 (E) Le complément à deux est aussi appelé complément vrai.

ALGORITHMIQUE et PROGRAMMATION

Question 8

Soit l'algorithme suivant écrit en pseudo langage :

```

X   (Y) + (X)      (X) signifie contenu de X
Y   (Y) + (X)
X   (X) - (Y)
Y   (Y) - (X)
  
```

- (A) Cet algorithme ne change pas la valeur de X .
 (B) Cet algorithme change la valeur de Y .
 (C) En fin d'algorithme (X) est égal à $-(Y)$.
 (D) En fin d'algorithme (X) vaut 0.
 (E) Si X et Y sont multiples de 9 en début d'algorithme alors en fin d'algorithme X et Y sont toujours des multiples de 9.

Question 9

Soit la relation $F(n) = F(n-1) + F(n-2)$ pour $n > 1$ avec $F(0)=F(1)=1$.

- (A) Cette relation peut se traduire par la fonction suivante (on suppose que n est un entier positif):

```

FONCTION F(n)
  si ( (n=0) ou (n=1) ) retourne 1
  sinon retourne (F(n-1) + F(n-2))
fin F.
  
```

- (B) Cette relation peut se traduire par la fonction suivante (on suppose que n est un entier positif):

```

FONCTION F(n)
  si ( (n<=1) ) retourne 1
  sinon retourne (F(n-1) + F(n-2))
fin F.
  
```

- (C) Cette relation ne peut pas être traduite sous forme itérative.
 (D) $F(3) = 3$.
 (E) $F(4) = 4$.

Question 10

Soit l'algorithme suivant écrit en pseudo langage :

```

(1)  x   32
(2)  y   2
    tant que (x) >0 faire
        x   (x) div 2      //div représente la division entière
        y   (y) div 3
        écrire (x)
        si (y)>0 x   (x) div (y)
        sinon y   2
    fin faire

```

- (A) La deuxième valeur écrite est 8.
- (B) La deuxième valeur écrite est 16.
- (C) La boucle “tant que” est infinie.
- (D) 6 valeurs de x sont affichées.
- (E) On sort de la boucle “tant que” après le deuxième passage.

Question 11

Soit la procédure suivante écrite en pseudo langage :

```

Procédure R(n)
    si (n > 0) alors
        R(n div 2)      // div représente la division entière
        écrire n
        R(n div 3)
    fin de si
fin R

```

- (A) La procédure R est appelée avec $n = 3$ (R(3)), le résultat affiché est 1 3 1.
- (B) La procédure R est appelée avec $n = 3$ (R(3)), le résultat affiché est 3 1 1.
- (C) La procédure R est appelée avec $n = 3$ (R(3)), le résultat affiché est 2 1 1.
- (D) Pour certaines valeurs de n, la procédure R ne se termine pas.
- (E) R est une procédure récursive.

SYSTEMES D'EXPLOITATION

Question 12

Langage machine

- (A) Le programme objet est écrit en langage machine.
- (B) Le programme source est écrit en langage machine.
- (C) Un assembleur traduit le langage d'assemblage en langage évolué.
- (D) Un langage d'assemblage est spécifique d'une machine ou d'un microprocesseur.
- (E) La transformation d'une instruction d'un langage d'assemblage en une suite d'instructions binaires se fait grâce à un programme spécial appelé interpréteur.

Question 13

Compilation. Interprétation.

- (A) Un compilateur traduit un programme source en un programme objet.
- (B) Un interprète ré-analyse un programme source chaque fois qu'il est interprété.
- (C) Un compilateur analyse un programme source une seule fois pour plusieurs exécutions.
- (D) Le programme objet obtenu après compilation ne peut s'exécuter que dans un seul contexte et un seul jeu de données.

(E) Avec un interpréteur, le programme source reste disponible au fur et à mesure de l'exécution.

RESEAUX et TRANSMISSIONS

Question 14

Le modèle réseau de l'ISO (International Standard Organisation) appelé OSI (Open System Interconnexion) comporte 7 couches : application, liaison, physique, présentation, réseau, session et transport.

- (A) La couche application contient les processus nécessaires à la communication.
- (B) La couche réseau permet la correction de l'information.
- (C) La couche transport permet l'acheminement de l'ensemble de l'information.
- (D) Le contrôle des accès s'effectue dans la couche session.
- (E) La couche présentation assure la mise en forme de l'information.

Question 15

La couche transport du modèle réseau de l'ISO

- (A) est une couche de transition entre les couches basses.
- (B) assure la communication entre les ordinateurs hôtes.
- (C) assure la communication entre applications.
- (D) est une couche haute.
- (E) est une couche basse.

Question 16

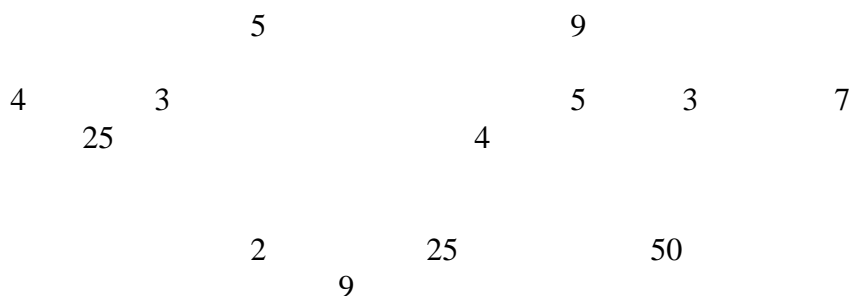
Dans une transmission asynchrone

- (A) les horloges d'émission et de réception doivent avoir la même fréquence.
- (B) l'émetteur et le récepteur doivent toujours être parfaitement synchronisés.
- (C) l'intervalle de temps entre deux caractères consécutifs est variable.
- (D) les bits d'un caractère sont émis de façon irrégulière.
- (E) le débit est en général supérieur à celui que l'on peut avoir dans une transmission synchrone.

GRAPHES

Question 17

Soit le graphe valué suivant :



- (A) Ce graphe n'est pas connexe.
- (B) Ce graphe est transitif.
- (C) Le plus court chemin du sommet 1 au sommet 7 vaut 13.
- (D) Le plus long chemin du sommet 1 au sommet 9 est le chemin {1, 3, 7, 9} qui vaut 100.

(E) Il n'existe pas de chemin de longueur maximale entre les sommets 1 et 9.

LOGIQUE

On utilise les symboles suivants:

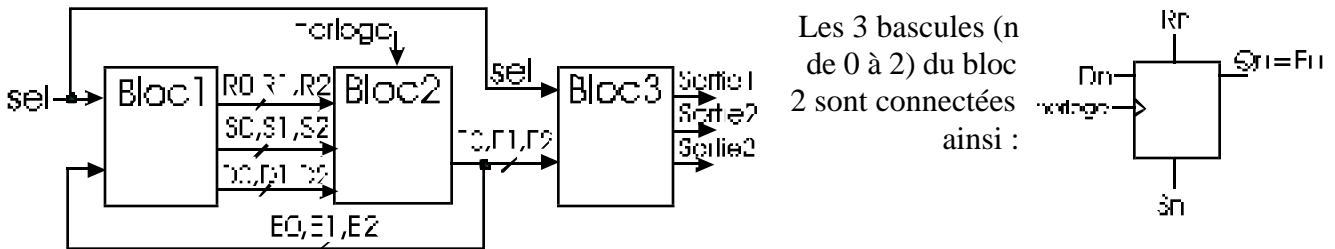
pour le OU logique;

pour le OU EXCLUSIF;

• pour le ET logique;

Les trois questions de logiques peuvent être traitées indépendamment.

On considère pour les trois questions de logique le système ci-après :



Les bascules se déclenchent sur les fronts actifs de l'horloge:

si $R_n=1$ et $S_n=0$ alors $Q_{n+1}=0$

si $R_n=0$ et $S_n=1$ alors $Q_{n+1}=1$

si $R_n=S_n$ alors $Q_{n+1}=D_n$

Question 18

Pour cette question le bloc 1 a le comportement suivant :

$R_n=S_n=0$;

si $Sel=1$ alors $D_2=E_1$, $D_1=E_0$ et $D_0=E_2$

si $Sel=0$ alors $D_2=E_0$, $D_1=E_1$ et $D_0=E_2$

(A) Le bloc 1 définit entièrement les entrées des bascules en fonction des sorties des bascules et de l'entrée Sel ; c'est un bloc purement combinatoire.

(B) Une réalisation possible de D_1 est : $D_1 = (E_0 \overline{Sel}) (E_1 Sel)$.

(C) L'expression la plus réduite de D_2 est : $D_2 = E_1 Sel \overline{E_0} \overline{Sel} \overline{E_1} E_0$.

(D) On peut atteindre l'état $(E_2, E_1, E_0)=(0, 0, 1)$ en partant de l'état $(E_2, E_1, E_0)=(1, 1, 0)$.

(E) Il existe un seul état tel que quelle que soit la valeur d'entrée Sel, on reste bloqué sur cet état.

Question 19

Pour les items (A) (B) et (C) de cette question le bloc 1 a le comportement suivant :

$$R_2 = E_2 \overline{E_1} E_0 \overline{Sel} \quad R_1 = 1 \quad R_0 = E_2 E_1 E_0 Sel$$

$$S_2 = \overline{E_2} E_1 \overline{E_0} \overline{Sel} \quad S_1 = 1 \quad S_0 = \overline{E_2} \overline{E_1} \overline{E_0} Sel$$

si $Sel=1$ alors $D_2=E_1$, $D_1=E_0$ et $D_0=E_2$

si $Sel=0$ alors $D_2=E_0$, $D_1=E_1$ et $D_0=E_2$

(A) Certaines valeurs de R_n et S_n vont rendre les sorties E_0 , E_1 et E_2 asynchrones.

(B) Si l'on est dans l'état $(E_2, E_1, E_0)=(1, 1, 1)$ et que $Sel=1$ alors le prochain état sera: $(E_2, E_1, E_0)=(0, 0, 0)$.

(C) Si l'on est dans l'état $(E_2, E_1, E_0)=(1, 0, 1)$ et que $Sel=0$ alors le prochain état sera: $(E_2, E_1, E_0)=(0, 0, 1)$.

On modifie maintenant les sorties R_n et S_n du bloc 1 : on impose $R_n=S_n=0$. On veut cependant que notre système se comporte de manière identique à ce qui vient d'être étudié dans les 3 items (A), (B) et (C) de cette même question. Pour cela on modifie les équations D_0 , D_1 et D_2 du bloc 1.

(D) Pour D1 on peut garder la même fonction qu'auparavant: $D_1 = E_0 \text{ Sel} \oplus E_1 \overline{\text{Sel}}$.

(E) Pour D2 il faut modifier sa table de vérité en deux valeurs par rapport au résultat précédent et on obtient: $D_2 = \overline{E_2} E_1 \oplus \overline{E_2} E_0 \overline{\text{Sel}} \oplus E_1 \text{ Sel} \oplus E_1 E_0$.

Question 20

Le bloc 3 définit les sorties du système.

On veut que la sortie1 se positionne à l'état logique 1 uniquement lorsque l'on détecte l'état $(E_2, E_1, E_0) = (0, 0, 1)$ et que $\text{Sel} = 1$ ou lorsque l'on détecte l'état $(E_2, E_1, E_0) = (1, 0, 1)$ et que $\text{Sel} = 0$.

(A) On a $\text{Sortie}_1 = (E_2 \oplus E_1 \oplus \overline{E_0} \overline{\text{Sel}}) (\overline{E_2} E_1 \overline{E_0} \text{Sel})$

Les tables de vérité des sorties 2 et 3 sont les suivantes :

Se	E2	E1	E0	Sortie2	Sortie3
1	0	0	0	1	1
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	1	1
0	0	1	1	0	1
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	0	0
1	0	1	0	1	1
1	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	1	0

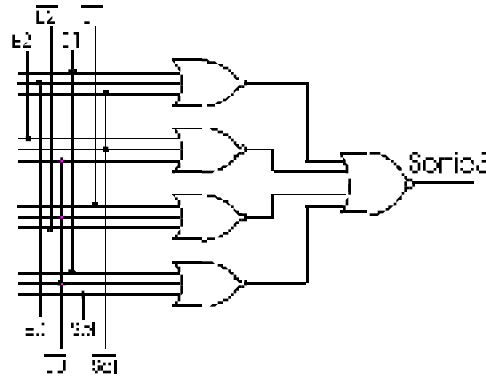


figure 2

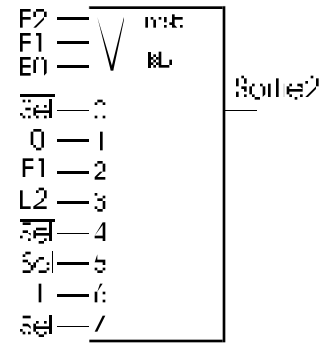


figure 1

figure 3

(B) La réalisation la plus réduite de Sortie 2 est :

$$\text{Sortie}_2 = \overline{E_1} \overline{\text{Sel}} \overline{E_0} \oplus E_2 \text{ Sel} \oplus E_0 \oplus E_1 \overline{E_0}$$

(C) La Sortie2 est réalisée à l'aide d'un multiplexeur 8 voies vers une connecté comme indiqué dans la figure 1.

(D) Le schéma de réalisation de la Sortie3 à l'aide de portes NOR est donné figure 2.

(E) Le schéma de réalisation de la Sortie3 par un multiplexeur 4 voies vers une est donné figure 3.

